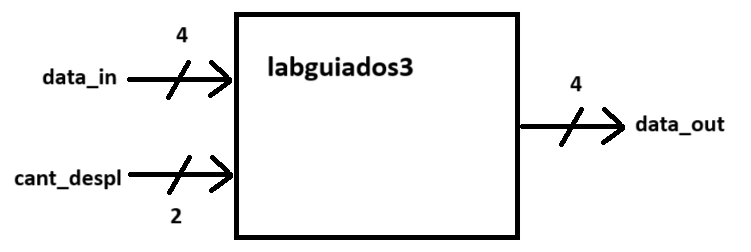
**LABORATORIO GUIADO – SEMANA 3**

Tema: circuitos combinacionales en VHDL

Este laboratorio consiste en implementar un circuito puramente combinacional que realice desplazamientos de bits hacia la derecha, donde la cantidad de bits a ser desplazada es configurable. Al desplazar, las posiciones “nuevas” deberán ser rellenadas con ‘0’. La Figura 1 ilustra el diagrama de entidad:



**Figura 1.** Diagrama de entidad requerido

El sistema recibe el número de 4 bits a ser desplazado por la entrada “data\_in”. La entrada “cant\_despl” permite seleccionar la cantidad de bits que se desplazarán (de 0 a 4 bits). Finalmente, la salida “data\_out” muestra el número ya desplazado.

A continuación, se coloca la expresión para un desplazamiento hacia la derecha de 2 bits, considerando la entrada “data\_in” y la salida “data\_out”:

data\_out <= “00” & data\_in(3 downto 2);

**DESARROLLO DEL LABORATORIO:**

Según esta guía y lo explicado en clase, desarrolla los siguientes puntos para cumplir con la implementación de sistema. Puedes adjuntar capturas de pantalla en la guía para que las tengas como referencia posteriormente.

1. Elaborar el proyecto en Quartus II según lo visto en clases.
2. Esquematiza un diagrama RTL del sistema que deseas implementar.
3. Desarrolla el código VHDL de la entidad y la arquitectura según lo requerido.
4. Compila el código y visualiza el diagrama RTL determinado por el compilador en Quartus.
5. Desarrolla un archivo VWF para simular el sistema. Elige los valores de entrada necesarios para asegurarte de cubrir todas las condiciones posibles del sistema.
6. Si la simulación muestra que tu diseño es correcto, procede a asignar los pines (PinPlanner) y programar el FPGA. Si no, revisa y corrige tu diseño.
7. Implementa el hardware explicado en clase según los pines que asignaste en (6). Verifica que el funcionamiento del sistema físico corresponda con la simulación.